

## ⑫ 公開特許公報(A)

昭63-247997

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月14日

G 11 C 11/34

3 6 3

H-7230-5B

審査請求 未請求 発明の数 1 (全11頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-81612

⑰ 出 願 昭62(1987)4月1日

⑱ 発 明 者 有 本 和 民 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 古 谷 清 広 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 自己リフレッシュ機能を持った半導体記憶装置であって、

メモリセルに対する通常アクセス時に活性化される第1のセンスアンプとは別個に設けられて、前記メモリセルのリフレッシュ動作時に活性化される第2のセンスアンプと、

前記メモリセルが前記通常アクセスから解放されている時のみに前記リフレッシュ動作を開始させるリフレッシュ動作開始タイミング制御手段と、

前記リフレッシュ動作の実行中に前記通常アクセスの要求があった際に、前記リフレッシュ動作を中断して前記通常アクセスを実行させるリフレッシュ動作中断手段と、

前記リフレッシュ動作が中断された場合において、前記メモリセルから読出されて前記第2のセンスアンプ中に既に取込まれたデータの破壊を防

止するデータ破壊防止手段とを備えることを特徴とする半導体記憶装置。

(2) データ破壊防止手段が、

メモリセルが通常アクセスから解放されるまで、メモリセルから既に第2のセンスアンプ中に取込まれたデータを前記第2のセンスアンプ内で保持させておく手段を備え、

前記メモリセルが前記通常アクセスから解放された後に、前記第2のセンスアンプ内に保持させておいた前記データに基いてリフレッシュ動作を再開させて完了させることを特徴とする、特許請求の範囲第1項記載の半導体記憶装置。

(3) リフレッシュ動作において指定された第1のアドレスと、通常アクセス動作において指定された第2のアドレスとの一致を検出するアドレス一致検出手段と、

前記アドレス一致検出手段によって前記第1と第2のアドレスの一致が検出された際に、第2のセンスアンプに既に取込まれたデータを第1のセンスアンプに転送させる転送手段とをさらに備え

ることを特徴とする、特許請求の範囲第1項または第2項記載の半導体記憶装置。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

この発明は、自己リフレッシュ機能を持った半導体記憶装置のバックグラウンドリフレッシュ方式の改良に関する。

#### (従来の技術)

自己リフレッシュ機能を持った半導体記憶装置として、パーチャリスタティックRAM(以下、「VSRAM」と言う。)が知られている。このVSRAMは、ダイナミックRAMに用いられるメモリセルを用いて実質的にスタティックRAMを実現するものである。すなわち、各メモリセルは、ひとつのMOSFETとひとつのキャパシタとを用いて形成されており、このメモリセルに対するリフレッシュ関係の動作をオンチップで行なう。このため、ユーザがリフレッシュのための回路を準備する必要がなく、VSRAMは、ユーザに負担がかからないメモリとなっている。

サ8を行アドレスバッファ7側に切換えており、このアドレスマルチプレクサ8を介して行アドレスRAが行デコーダ3に与えられる。行デコーダ3は行アドレスRAをデコードして、メモリアレイ1中のひとつの行を選択し、その行のワード線(図示せず。)を第5図(b)のように活性化する。

データ読出し時においては、このようにして選択された行アドレスRAに属するメモリセルからデータが読出され、センスアンプ群2に含まれる個々のセンスアンプによって、このデータの検出および増幅がビット線(図示せず)上で行なわれる。この動作は第5図(d)中にデータDとして示されている。

一方、列アドレス12でバッファされた列アドレスCAはタイミングジェネレータ6を介して列デコーダ4に与えられる。列デコーダ4はこの列アドレスCAをデコードして、メモリアレイ1中の特定の列を選択する。

そして、選択された列から読出されたデータはいったんバッファレジスタ5に保持された後、入

第4図はこのようなVSRAMの従来例を示すブロック図であり、この装置はK. Nogami et. al., "1-Mbit Virtually Static RAM", IEEE J. Solid-State Circuits, vol. SC21, No.5, Oct. 1986に開示されている。

同図において、このVSRAMはメモリセル(図示せず。)の2次元配列を含むメモリアレイ1を備えている。このメモリアレイ1に対して通常アクセス(すなわち、データの読出しのためのアクセス)を行なう際には、第5図(a)に示すようなタイミングで行アドレスRAおよび列アドレスCAが外部から与えられ、これらのアドレスRA, CAは、行アドレスバッファ7および列アドレスバッファ12においてそれぞれバッファされる。

このうち、行アドレスバッファ7から出力された行アドレスRAはアドレスマルチプレクサ8に与えられる。リフレッシュ動作が行なわれていないときには、通常アクセス要求ACSRREQに回答してアービタ回路11がアドレスマルチプレク

出力バッファ14を介して、第5図(e)のタイミングで入出力ピンへと出力される。なお、バッファレジスタ5は、メモリセルのデータをこのバッファレジスタ5に移すことにより、メモリセルを通常アクセスから早期に解放し、それによってリフレッシュの実行可能期間を広げるために設けられている。

一方、このVSRAMのリフレッシュは、ワード線やメモリセル、それにセンスアンプ群2が通常アクセスによって使用されていない期間を利用して行なわれる。このような期間としては、通常アクセスにおいてアドレスキューを待つ期間やアドレスをデコードしている期間、それに、出力回路を駆動している期間などがある。具体的には、まず、メモリセルにおけるデータ保持可能時間に応じた時間をリフレッシュタイマ10が計時し、リフレッシュを必要とする時刻になるとリフレッシュタイマ10からリフレッシュ要求信号REFREQがアービタ回路11に出力される。また、リフレッシュタイマ10からの出力に回答して、

リフレッシュアドレスカウンタ9がリフレッシュすべき行アドレスをアドレスマルチプレクサ8に出力する。

アービタ回路11はコントロール回路13およびタイミングジェネレータ6によってコントロールされている。そして、メモリセルが通常アクセスから解放されているときには、アービタ回路11がアドレスマルチプレクサ8を切換えて、リフレッシュアドレスカウンタ7の出力を行デコーダ3に与える。それによって、指定されたワード線が第5図(c)のように活性化し、指定された行アドレスに属するメモリセルのリフレッシュが開始される。この動作におけるビット線の活性化状態が第5図(d)に記号RFで示されている。

これに対して、リフレッシュ要求信号REFREQが与えられた時点において通常アクセスによるメモリセルの使用が行なわれているときには、その使用が完了するまでリフレッシュ待機状態とさせる。そして、メモリセルが通常アクセスから解放された後にリフレッシュ動作を行なわせる。

できないという問題がある。

これに対しては、バッファレジスタ5にデータが移った後、次の通常アクセスに伴うデコード動作が開始されるまでの間にリフレッシュ動作を行なわせるようにするという技術も考えられる。しかしながら、この場合には、ひとつの通常アクセスから次の通常アクセスまでの間にリフレッシュのための期間をあらかじめ確保しておく必要がある。すると、VS RAMの外部から見た場合には、通常アクセスにおける各アクセスタイムが実質的に長くなったことと等価となり、それに応じてサイクルタイムが全体的に長くなってしまふ。

なお、自己リフレッシュ型以外の半導体記憶装置では、その半導体記憶装置の外部でタイミング調整を行なうという対策がとれるが、自己リフレッシュ型のものではそのような対策をとることは不可能である。

このように、従来の自己リフレッシュ型半導体記憶装置では、リフレッシュ動作と競合する通常アクセスについてのアクセスタイムが長くなって

逆に、リフレッシュ動作が行なわれている間に通常アクセス要求があったときには、リフレッシュ動作からメモリセルが解放された後に通常アクセス動作が実行される。

(発明が解決しようとする問題点)

従来のVS RAMは以上のように構成されているため、通常アクセス要求とリフレッシュ要求とが競合した場合には、一方の動作からメモリセルが解放されるまで、他方が待機しなければならない。特に、リフレッシュ動作中に通常アクセス要求があった場合には、通常アクセスが待機状態とされるために、アクセスタイムがリフレッシュ時間だけ長くなる。ただし、リフレッシュ時間は、行デコーダ3によるワード線の電位の立上げ、センスアンプによる増幅、そして、ワード線の電位の立下げのそれぞれに要求される時間の和である。

一方、このような競合が生じなかったときにはアクセスタイムは比較的短い。このため、競合の有無によってアクセスタイムが実質的に変化することになり、アクセスタイムを均一とすることが

アクセスタイムに不均一性が生じたり、それを避けようとするとき競合が生じない通常アクセスについてもアクセスタイムを長くしなければならないという事情が存在するため、通常アクセスのアクセスタイム(したがってサイクルタイム)を均一に短縮してアクセスの高速化を実現できないという問題があった。

この発明は上記のような問題点を解消するためになされたもので、通常アクセスのアクセスタイムを均一に短縮することができ、それによってアクセスの高速化を実現することのできる半導体記憶装置を提供することを目的とする。

(問題点を解決するための手段)

この発明における自己リフレッシュ型の半導体記憶装置は、①メモリセルに対する通常アクセス時に活性化される第1のセンスアンプとは別個に設けられて、前記メモリセルのリフレッシュ動作時に活性化される第2のセンスアンプと、②前記メモリセルが前記通常アクセスから解放されている時のみに前記リフレッシュ動作を開始させるリ

フレッシュ動作開始タイミング制御手段と、③前記リフレッシュ動作の実行中に前記通常アクセスの要求があった際に、前記リフレッシュ動作を中断して前記通常アクセスを実行させるリフレッシュ動作中断手段と、④前記リフレッシュ動作が中断された場合において、前記メモリセルから読出されて前記第2のセンスアンプ中に既に取込まれたデータの破壊を防止するデータ破壊防止手段とを備えている。

#### (作用)

この発明においては、メモリセルが通常アクセスから解放されている時のみにリフレッシュ動作が開始されるため、通常アクセスとリフレッシュ動作との競合が発生する頻度を減少させることができる。

また、リフレッシュ動作中に通常アクセス要求があった場合には、リフレッシュ動作を中断して通常アクセスを実行させる。このため、リフレッシュ動作が完了するまで通常アクセスが待機する必要はない。

従来回路に設けられていたバッファレジスタ5は取除かれている(その理由は後述する。)

第1図のメモリアレイ1およびその周辺回路の一部が第2図に示されている。第2図において、データ記憶のためのメモリセル25a~25nはひとつのMOSFETとひとつのキャパシタ(ともに図示せず。)によってそれぞれ形成されている。例示したメモリセル25a~25nはワード線Wa~Wnとビット線Baとにそれぞれ接続されており、ワード線Wa~Wnによってメモリセル25a~25nのゲートの開閉が行なわれる。また、例示したダミーセル28はダミーワード線DWとビット線Bbとに接続されている。

第2図のセンスアンプ2aは、第1図のセンスアンプ群2に属しており、I/Oゲートトランジスタ27a、27bを介してI/O線40aおよびI/O線40bの対に接続されている。このI/Oゲートトランジスタ27a、27bのゲート信号Gは列デコーダ4から与えられる。また、センスアンプ2aとビット線対Ba、Bbとは、ス

さらに、このような競合処理によってデータが破壊されてしまわないように、通常アクセス用の第1のセンスアンプ以外にリフレッシュ用の第2のセンスアンプを別個に設け、この第2のセンスアンプに取込まれたデータを破壊しないようにしている。

#### (実施例)

第1図はこの発明の一実施例であるVSRAMのブロック図である。第1図において、このVSRAMでは、メモリアレイ1に付属して2種類のセンスアンプ群2、20が設けられている。これらのうち、第1のセンスアンプ群2に属するセンスアンプは、通常アクセス時に活性化される。また、第2のセンスアンプ群すなわちリフレッシュセンスアンプ群20に属するセンスアンプは、リフレッシュ動作時において活性化される。すなわち、このVSRAMでは、センスアンプとして、通常アクセス用とリフレッシュ用とが別個に準備されている。このリフレッシュセンスアンプ群20が新たに設けられていることにより、第4図の

スイッチングトランジスタ28a、28bを介して接続されている。さらに、リフレッシュセンスアンプ20aとビット線対Ba、Bbとは、スイッチングトランジスタ29a、29bを介して接続されている。

これらのスイッチングトランジスタ28a、28b、29a、29bのゲート信号G1、G2は第1図のタイミングジェネレータ6から与えられる。また、センスアンプ2aおよびリフレッシュセンスアンプ20aのそれぞれの活性化信号φ1、φ2も、タイミングジェネレータ6から与えられる。

第1図のアービタ回路11は、通常アクセス要求ACSRREQとリフレッシュ要求REFREQとに基づいてアドレスマルチプレクサ8にマルチプレクス信号を与える。ただし、その動作規則は従来回路と異なり、通常アクセス要求ACSRREQを優先させるような規則となっている。この規則は次の通りである。

まず、通常アクセス要求ACSRREQによって

通常アクセスを行なっている間はリフレッシュを行なわず、アドレス一致検出回路21(後述する。)を介して行アドレスバッファ7からアドレスマルチプレクサ8へ与えられた行アドレスRAを行デコーダ3へ与えておく。また、リフレッシュ動作中に通常アクセス要求ACSRREQがあったときには、アドレスマルチプレクサ8を、リフレッシュアドレスカウンタ9側からアドレス一致検出回路21側へと強制的に切換える。そして、リフレッシュ動作を中断させるとともに、通常アクセス動作を実行させる。

このようにして通常アクセスが実行され、メモリセル25a~25nが通常アクセスから解放された後に、アドレスマルチプレクサ8をリフレッシュアドレスカウンタ9側へと再度切換え、それによって、中断されていたリフレッシュ動作を再開・完了させる。

なお、これらの動作に必要な動作タイミング信号は、アービタ回路11からの信号を受けたタイミングジェネレータ6において発生され、センス

アンプ群2やリフレッシュセンスアンプ群20などに与えられる。

一方、第1図中に示されたアドレス一致検出回路21は、行アドレスバッファ7とリフレッシュアドレスカウンタ9とのそれぞれのアドレス出力RA、RFAを入力している。そして、通常アクセス要求とリフレッシュ要求とが競合した際に、通常アクセスにおける第1のアドレス(行アドレス)RAとリフレッシュにおける第2のアドレスRFAとの一致がこのアドレス一致検出回路21によって検出される。第1と第2のアドレスRA、RFAが一致したときには、タイミングジェネレータ6に一致信号Sを与え、それに基いてリフレッシュセンスアンプ群20からセンスアンプ群2へのデータの転送を行なわせる(詳細は後述する。)

なお、残余の部分の構成は第4図のVS RAMとはほぼ同様であり、細かな相違点については以下の動作説明中であわせて説明する。

そこで以下では、第1図および第2図に示した

VS RAMの詳細な動作を、リフレッシュ動作中に通常アクセス要求があった場合を例にとって説明する。まず、メモリセル25a~25nが通常アクセスから解放されている期間中にリフレッシュ要求REFREQが与えられたものとする。すると、アービタ回路11からのマルチプレクス信号によってアドレスマルチプレクサ8はリフレッシュアドレスカウンタ9側に切換わる。それによって、リフレッシュアドレスカウンタ9から与えられたアドレスREFが行デコーダ3に出力される。以下、このアドレスRFAは第2図中のワード線Waを選択するものであると想定する。

行デコーダ3はこのアドレスRFAをデコードして、第2図のワード線Waおよびダミーワード線DWの電位を立上らせる。この動作が第3図(c)にW1として示されている。

このときには、一方のゲート信号G1によって第2図のスイッチングトランジスタ28a、28bはオフとされ、他方のゲート信号G2によってスイッチングトランジスタ29a、29bはオン

とされている。したがって、ビット線対Ba、Bbはセンスアンプ2aから切断され、リフレッシュセンスアンプ20aに接続されている。このため、ワード線Waおよびダミーワード線DWの電位を立上げることによってメモリセル25aから読出されたデータは、ビット線対Ba、Bbを介してリフレッシュセンスアンプ20aに取込まれる。そして、リフレッシュセンスアンプ20aによるビット線対Ba、Bb上でのリフレッシュ動作が開始される。ここまでのビット線Ba、Bbの電位変化が第3図(d)にRF1として示されている。

このようなリフレッシュ動作を行なっている途中で通常アクセスのアドレスが変化し、リフレッシュの対象となっている行アドレスと異なる行アドレスに属するメモリセル25nについての通常アクセス要求が新たに行なわれたものとする。すると、通常アクセス要求信号ACSRREQに応答して、アービタ回路11はアドレスマルチプレクサ8に与えているマルチプレクス信号を切換え、

通常アクセスにおける行アドレスRAを行デコーダ3に出力させる。このときには、アドレス-取換回路21は特別な動作は行わず、単なるラッチ回路として機能する。

また、これに先だって、第2図のスイッチングトランジスタ28a、28bをオンするとともに、リフレッシュセンスアンプ20a側のスイッチングトランジスタ29a、29bをオフとする。したがって、ビット線対Ba、Bbはリフレッシュセンスアンプ20aから切離され、センスアンプ2a側に接続される。そして、リフレッシュセンスアンプ20aは、メモリセル25aからその内部に既に取込んだデータを破壊しないように保持しておく。これは、従来から使用されているセンスアンプ回路(たとえばフリップフロップ形式の回路)をリフレッシュセンスアンプ20aとして使用し、上記のようにスイッチングトランジスタ29a、29bをオフとしておくことによって実現できる。

このような状態において、第3図(d)にPCで

が行なわれる。放出されたデータは、センスアンプ2a中に保持されている。

その後、ワード線Wnおよびダミーワード線DWの電位が立下り、スイッチングトランジスタ28a、28bはオフとされる。その結果、センスアンプ2aとビット線対Ba、Bbとは切離された状態となる。

列デコーダ4においてビット線対Ba、Bbが選択されると、ゲート信号Gが1/0ゲートトランジスタ27a、27bに与えられ、それによってこれらの1/0ゲートトランジスタ27a、27bがオンとなる。センスアンプ2aに保持されていたデータはこれらのゲートトランジスタ27a、27bを介して1/0線4aおよび1/0線4bに与えられ、第1図の出力バッファ14を介して入出力ピンに出力される。このようにして得られる出力データが第3図(e)に示されている。

一方、第2図のスイッチングトランジスタ28a、28bがオフとされた時点以後の出力駆動動作期間においては、メモリセル25a~25nは

示すようにビット線対Ba、Bbをプリチャージ(イコライズ)しておけば、通常アクセスによってワード線Wnが選択された時には、従来のダイナミックRAMにおけるアクセスと同様の動作が実行可能となっている。

ここで想定しているように、通常アクセスによって指定された行アドレスRAがリフレッシュ中の行のアドレスRFAと異なるときには、以後の動作は次のようになる。まず、通常アクセスによって選択されたワード線Wnおよびダミーワード線DWの電位が、第3図(b)にW2で示すように立上り、メモリセル25nおよびダミーセル26とビット線対Ba、Bbとが接続される。それによって、メモリセル25nに記憶されていたデータは、ビット線Ba、Bbの間の電位変化として取出される。これと並行してセンスアンプ2aが信号φ1に反応して活性化され、それによって、ビット線Ba、Bb上の電位が、第3図(d)にDとして示すように増幅される。そして、この増幅によってメモリセル25nへのデータの再読み込み

通常アクセスから解放された状態となっている。このため、スイッチングトランジスタ28a、28bがオフとされると、プリチャージ動作を再開する。

すなわち、まず、スイッチングトランジスタ29a、29bをオンとしてリフレッシュセンスアンプ20aとビット線対Ba、Bbとを接続する。そして、ワード線Waおよびダミーワード線DWの電位を再び立上げることにより、メモリセル25aおよびダミーセル26をビット線対Ba、Bbに接続する。リフレッシュセンスアンプ20aはメモリセル25aに記憶されていたデータを保持し続けているため、この時点においてリフレッシュ動作は速やかに再開される。この様子は第3図(d)にRF2として示されている。

メモリセル25aのリフレッシュが完了すると、ワード線Waおよびダミーワード線DWが立下がり、ビット線対Ba、Bbがプリチャージされる。これによって次の通常アクセスを受入れる態勢が整ったことになる。

そして、このようなリフレッシュ再開動作を、メモリセル25a~25nが通常アクセスから解放された直後に実行すれば、次の通常アクセスにおける行アドレスRAがアドレスマルチプレクサ8に到達するまでにリフレッシュは完了することになる。このため、このようにすれば、時間的なロスは全く発生せず、アクセスタイムが長びいてしまうことを有効に防止することができる。

ところで、リフレッシュ動作をいったん開始させると、メモリセル25aから読出されたデータがリフレッシュセンスアンプ20aに取込まれるまでは、リフレッシュ動作を中断させない方が望ましい。それは、データをリフレッシュセンスアンプ20に取込んでおかないと、後のリフレッシュ再開が円滑にできないからである。したがって、リフレッシュ開始後に通常アクセス要求があった場合でも、リフレッシュのためのワード線Waの電位の立上げと、リフレッシュセンスアンプ20aへのデータの取込みとに要する時間が経過するまでは通常アクセスを持たせなければならない。

の動作を説明する。これは、第2図の例で言えば、メモリセル25aに対するリフレッシュ動作が行なわれている途中で、このメモリセル25a自身についての通常アクセス要求があった場合に相当する。

このときには、アドレス一致検出回路21がこのようなアドレスの一致を検出し、一致検出信号Sをタイミングジェネレータ6に出力する。タイミングジェネレータ6は、メモリセル25aの記憶データがリフレッシュセンスアンプ20aに取込まれてしまうまでリフレッシュ動作を持続させる。そして、この取込みが完了すると、センスアンプ2aを活性化する。これに先立って、スイッチングトランジスタ29a、29bはオンとされている。このため、リフレッシュセンスアンプ20aに取込まれていたデータはこのリフレッシュセンスアンプ20aで増幅された後、ビット線対Ba、Bb上に戻ることになる。

このため、上記のようにセンスアンプ2aが活性化されると、リフレッシュセンスアンプ20a

これに対して、ひとつの通常アクセスからメモリセル25a~25nが解放された直後にリフレッシュを開始させれば、当該通常アクセスの出力駆動期間内にワード線Waの電位の立上げとリフレッシュセンスアンプ20aへのデータの取込みとを終了させることができる。このため、このようにすれば、次の通常アクセス要求があったときに速やかにリフレッシュを中断し、この通常アクセスを実行させることができる。その結果、通常アクセスの前にも後にもロスタイムはなく、アクセスタイムはさらに短縮される。このような変形は、メモリセル25a~25nが通常アクセスから解放された時点でアドレスマルチプレクサ8をリフレッシュアドレスカウンタ9側に切換えけるとともに、リフレッシュセンスアンプ20aを活性化させるようにタイミングジェネレータ6を形成すればよい。

次に、リフレッシュ動作の対象となっている行アドレスと同一の行アドレスに関するメモリセルに対して通常アクセスが整合的に行なわれる場合

からビット線対Ba、Bb上に戻ったデータがセンスアンプ2aに取込まれる。このデータは既にリフレッシュセンスアンプ20aによって増幅されたものであるため、センスアンプ2aは実質的に単なるラッチ回路として機能する。そして、ビット線対Ba、Bbを介してデータがメモリセル25aへ再取込みされるとともに、センスアンプ2aはそのデータをI/O線40aおよびI/O線40bを介して出力する。これによってメモリセル25aのリフレッシュは実質的に行なわれてしまうことになるため、この場合にはリフレッシュセンスアンプ20aによるリフレッシュ動作を再開させる必要はない。

すなわち、リフレッシュを行なう行アドレスRFAと通常アクセスを行なう行アドレスRAとが異なる場合には、既述したように、リフレッシュセンスアンプ20aとビット線対Ba、Bbとをスイッチングトランジスタ29a、29bによって切離し、それによってデータの破壊を防止している。これに対して、これらの行アドレスRFA、

RAが一致するときには、リフレッシュセンスアンプ20aに取込まれたデータがセンスアンプ20側に転送され、それによってデータ破壊を防止している。

以上の場合と異なり、通常アクセス動作によってメモリセル25a～25nのいずれかが使用されているときにリフレッシュ要求があつたときには、通常アクセス動作からメモリセル25a～25nが解放されるまでリフレッシュは行なわれない。また、リフレッシュ動作中に通常アクセス要求がなかったときには、そのリフレッシュ動作は中断することなく実行され、リフレッシュは一度に最後まで行なわれる。

なお、データの書き込みを行なう際も上記と同様の動作が行なわれる。

このように、上記実施例では、通常アクセス要求があつた時に、この通常アクセス要求を優先的に受付けている。このため、リフレッシュ要求と競合した際にも、時間的なロスゼロまたは極めて小さな値となる。このため、競合の有無にかか

わらず通常アクセスのアクセスタイムは均一に短縮される。また、競合発生時のリフレッシュ中断によるデータ破壊が生ずることもない。さらに、アドレス一致検出回路を設けていることにより、同一アドレスについてリフレッシュ要求と通常アクセス要求が競合した場合に、リフレッシュセンスアンプに取込まれているデータを有効に利用している。

リフレッシュセンスアンプは通常アクセス用のセンスアンプと別個に設けられるため、リフレッシュと通常アクセスとによるセンスアンプの共用という事情もない。このため、読出されたデータを退避させてセンスアンプを早期にリフレッシュ用に切換するための第4図のバッファレジスタ5も不要である。

なお、上記実施例ではVSRAMを例にとったが、自己リフレッシュ機能を有する半導体記憶装置全般にこの発明は適用可能である。

#### (発明の効果)

以上説明したように、この発明によれば、通常

アクセス優先処理とリフレッシュ動作の中断におけるデータ破壊防止とが行なわれることによって、通常アクセスのアクセスタイムを均一に短縮することができ、それによってアクセスの高速化が実現されることになる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック図、第2図は実施例におけるメモリアレイ1とその周辺を示す部分回路図、第3図は実施例の動作を示すタイミングチャート、第4図は従来のVSRAMのブロック図、第5図は従来のVSRAMの動作を示すタイミングチャートである。

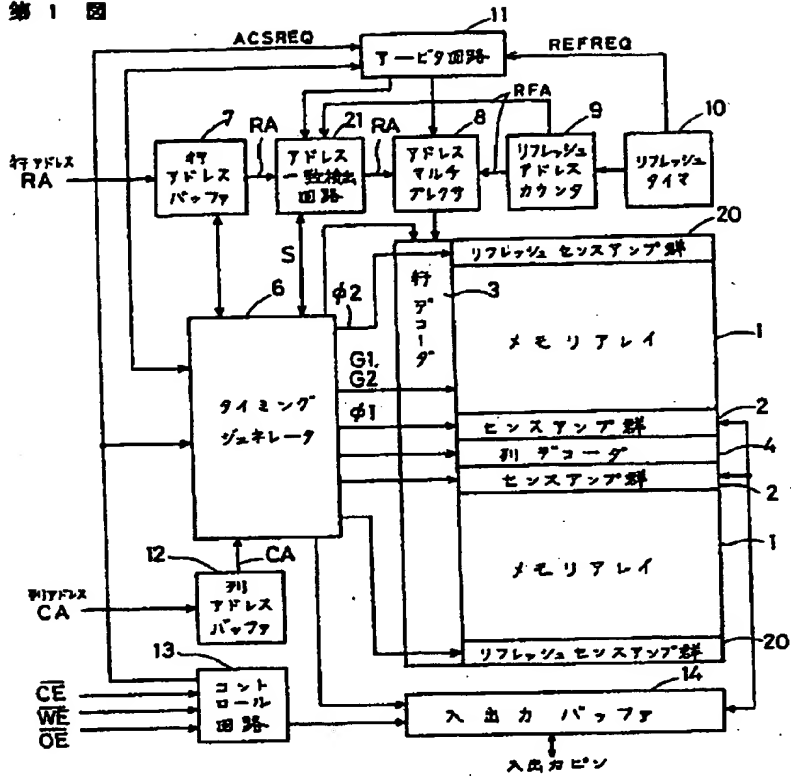
図において、1はメモリアレイ、2はセンスアンプ群、20はリフレッシュセンスアンプ群、21はアドレス一致検出回路である。

なお、各図中同一符号は同一または相当部分を示す。

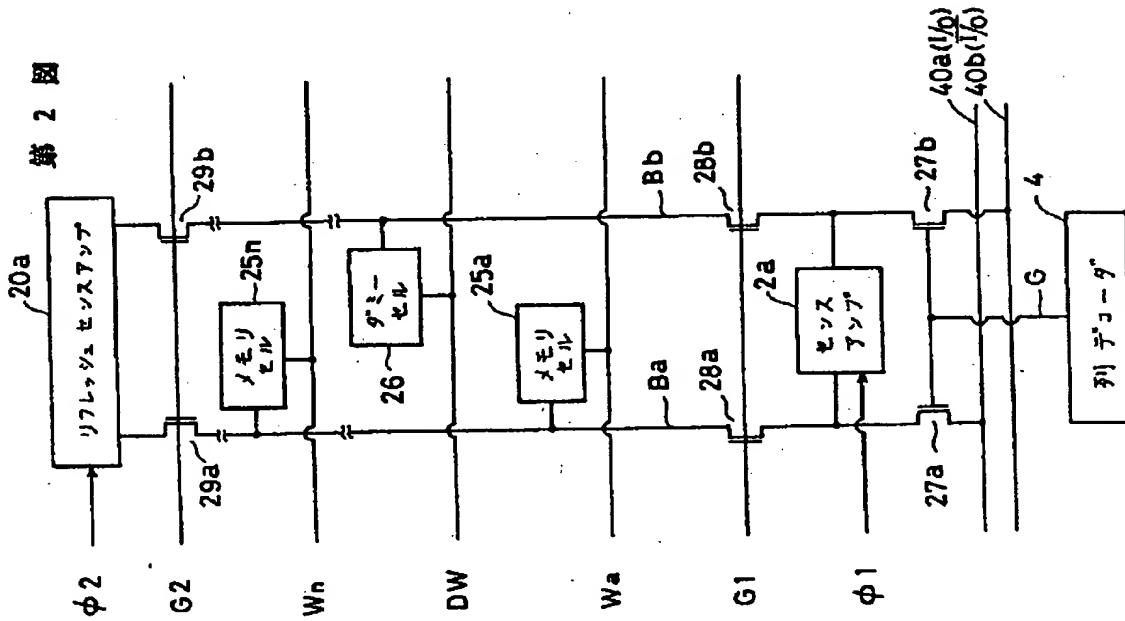
代理人 大 岩 増 雄



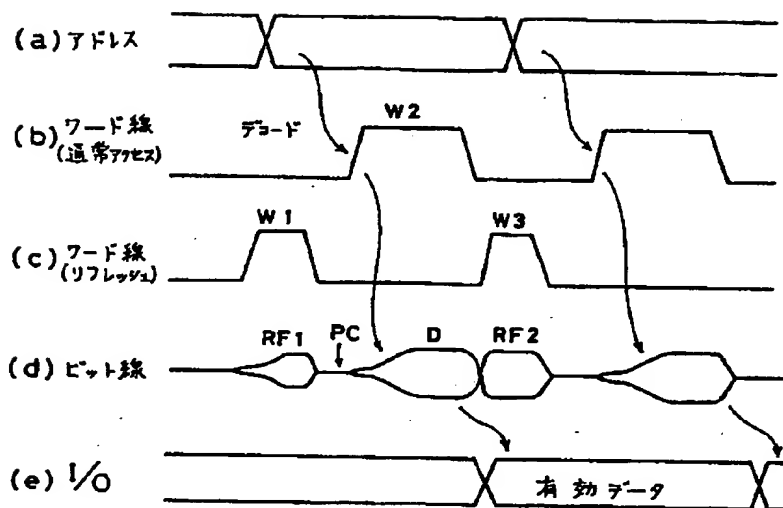
第 1 回



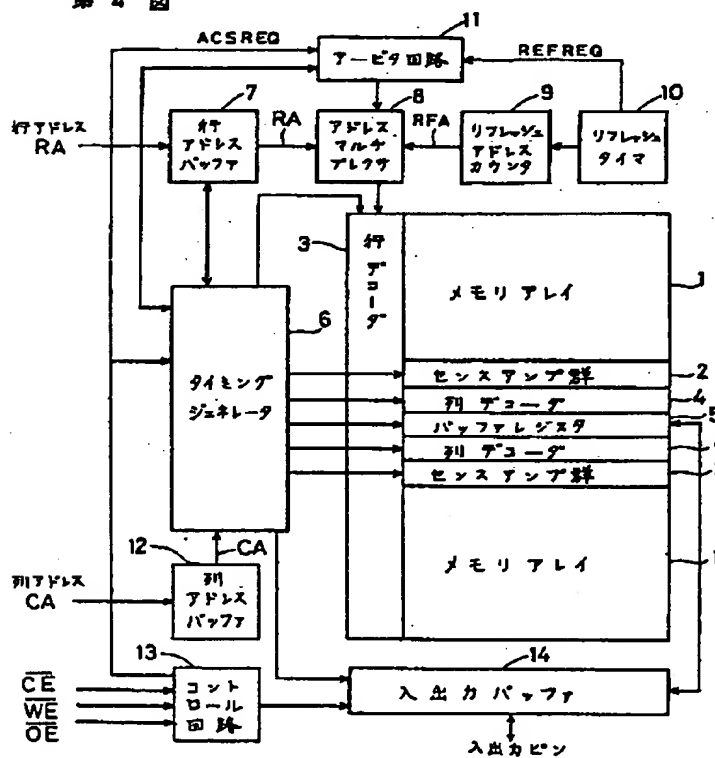
## 第 2 圖



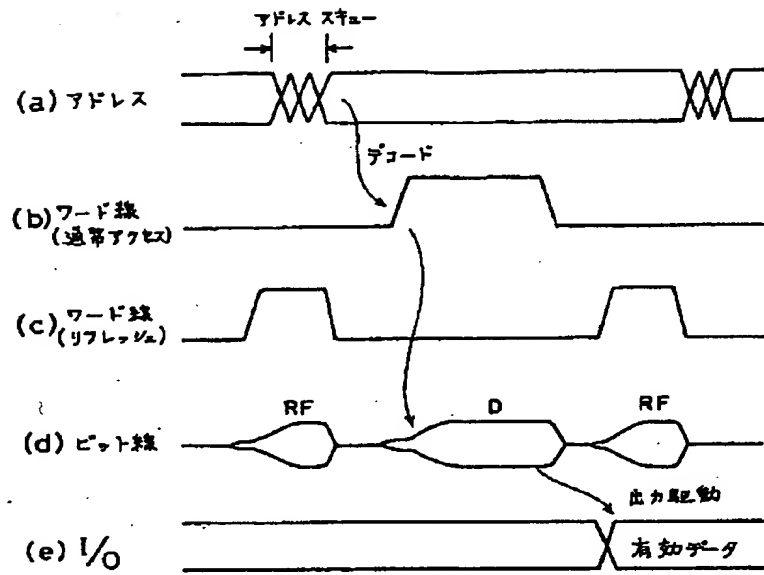
第 3 図



第 4 図



第 5 図



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-247997

(43)Date of publication of application : 14.10.1988

(51)Int.Cl.

G11C 11/34

(21)Application number : 62-081612

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 01.04.1987

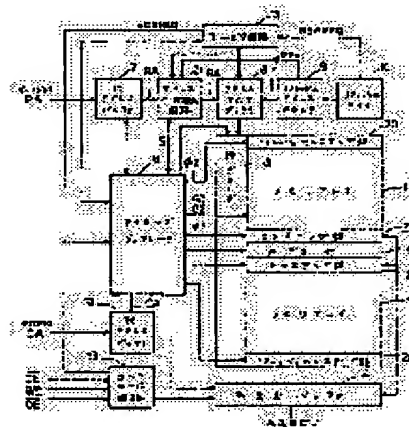
(72)Inventor : ARIMOTO KAZUTAMI  
FURUYA KIYOHIRO

## (54) SEMICONDUCTOR STORAGE DEVICE

### (57)Abstract:

**PURPOSE:** To reduce time required for making access to a memory cell so as to increase the accessing speed, by causing refreshing (REF) operation to be started only when the memory cell is released from ordinary access and, when an ordinary access request is made, causing the requested access to be executed by interrupting the REF operations.

**CONSTITUTION:** In accordance with an ordinary access request ACSREQ and REF request REFREQ, an arbiter circuit 11 gives multiplex signals to an address multiplexer 8 and an REF address counter 9 outputs a line address to be REFed to the multiplexer 8. While a memory cell is released from ordinary access, the circuit 11 switches the multiplexer 8 and gives the output of a REF address buffer 7 to a line decoder 3. As a result, a designated word line is activated and the memory cell is REFed. On the other hand, if the memory cell is used by ordinary access when the REFREQ is given, the refreshment is executed after the REF is interrupted and ordinary access is performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office